

2/9/1

DIALOG(R) File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

**SEMICONDUCTOR PACKAGE AND MANUFACTURE THEREOF**

PUB. NO.: 11-204688 [JP 11204688 A]  
PUBLISHED: July 30, 1999 (19990730)  
INVENTOR(s): ARAKI KENJI  
APPLICANT(s): SONY CORP  
APPL. NO.: 10-027099 [JP 9827099]  
FILED: February 09, 1998 (19980209)  
PRIORITY: 09308257 [JP 979308257], JP (Japan), November 11, 1997  
(19971111)  
INTL CLASS: H01L-023/12

**ABSTRACT**

PROBLEM TO BE SOLVED: To suppress power supply/ground bounce of a CMOS circuit by reducing a parasitic inductance caused by the length of a bonding wire connecting a semiconductor chip with an interconnection board for BGA.

SOLUTION: An on-chip conductor film 12 is provided on the electrode arranging face of a semiconductor chip 10 and a shortest distance power supply connection is made via the path route of a power supply signal electrode from among many on-chip electrodes 11 → a wire 13 between the chip and the conductor film → the on-chip conductor film 12 → a wire 14 between the chip and a power supply plane(PP) 2p → and the PP. Shortest-distance ground connection is also made via a path of a ground signal electrode → a wire 15 between the chip and a ground plane(GP) 2g. Remaining general signal electrodes are connected through wire bonding with a general signal line 2S1 in a region remote from the semiconductor chip 10.

COPYRIGHT: (C)1999, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204688

(43) 公開日 平成11年(1999) 7月30日

(51) IntCl<sup>5</sup>

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

L

W

E

審査請求 未請求 請求項の数13 OL (全 20 頁)

(21) 出願番号 特願平10-27099

(22) 出願日 平成10年(1998) 2月9日

(31) 優先権主張番号 特願平9-308257

(32) 優先日 平9(1997)11月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒木 健次

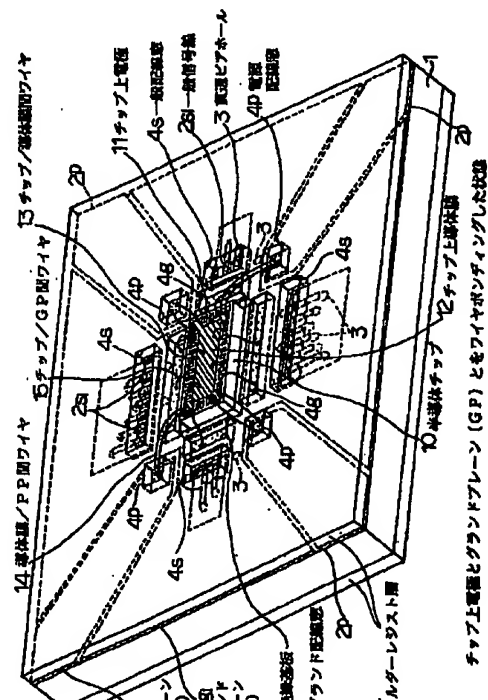
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54) 【発明の名称】 半導体パッケージおよびその製造方法

(57) 【要約】

【課題】 BGA用中継基板と半導体チップ10とを接続するボンディングワイヤの長さに起因する寄生インダクタンスを低減し、CMOS回路の電源/グランド・バウンスを抑制する。

【解決手段】 半導体チップ10の電極配列面にチップ上導体膜12を設け、数あるチップ上電極11の中から電源信号電極→チップ/導体膜間ワイヤ13→チップ上導体膜12→チップ/PP間ワイヤ14→電源プレーン(PP)2pの経路で最短距離の電源接続を行い、またグランド信号電極→チップ/GP間ワイヤ15→グランドプレーン(GP)2gの経路で最短距離のグランド接続を行う。残りの一般信号電極は、半導体チップ10から遠方領域にある一般信号線2s<sub>1</sub>へワイヤボンディングにより接続する。



## 【特許請求の範囲】

【請求項1】 半導体チップを実装するための複数の導体パターンが形成されたチップ載置面を一方の主面とする中継基板と、

前記複数の導体パターンの中の第1の電源プレーン上に、チップ上電極が配列された電極配列面を上向きにして接着される半導体チップと、  
前記チップ上電極と前記導体パターンとを電気的に接続する接続手段とを有する半導体パッケージであって、  
前記導体パターンの一部は前記半導体チップの外周の至近に接続部を有し、該接続部とこれに対応するチップ上電極とが前記接続手段により最短距離にて接続されていることを特徴とする半導体パッケージ。

【請求項2】 前記半導体チップの外周の至近に接続部を有する前記導体パターンが前記第1の電源プレーンおよび該第1の電源プレーンと電位の異なる第2の電源プレーンであり、これら以外の導体パターンは該半導体チップから離れた領域に接続部を有することを特徴とする請求項1記載の半導体パッケージ。

【請求項3】 前記半導体チップは、前記電極配列面上における前記チップ上電極の非形成部にチップ上導体膜を備え、  
前記接続手段は、該チップ上電極の一部を該チップ上導体膜へ最短距離にて接続する第1の接続手段と、  
該チップ上導体膜を前記半導体チップの外周の至近に配された前記導体パターンの接続部へ最短距離にて接続する第2の接続手段とを含むことを特徴とする請求項1または請求項2に記載の半導体パッケージ。

【請求項4】 前記チップ上導体膜が単一領域からなる場合、前記チップ上電極の中の第1の電源信号電極またはこれと電位の異なる第2の電源信号電極のいずれか一方が前記第1の接続手段と前記第2の接続手段とを用いて該チップ上導体膜を経由して前記導体パターンの中の前記第1の電源プレーンまたは前記第2の電源プレーンのいずれか一方に接続され、他方のチップ上電極が該チップ上導体膜を経由せずに第3の接続手段を用いて他方の導体パターンに接続されることを特徴とする請求項3記載の半導体パッケージ。

【請求項5】 前記第2の接続手段の数が前記第1の接続手段の数よりも大であることを特徴とする請求項3記載の半導体パッケージ。

【請求項6】 前記チップ上導体膜は互いに電気的に接続されない複数領域からなり、個々の領域には異種の信号に対応するチップ上電極がそれぞれ前記第1の接続手段を介して接続され、これら個々の領域は異種の信号に対応する導体パターンにそれぞれ前記第2の接続手段を介して接続されていることを特徴とする請求項3記載の半導体パッケージ。

【請求項7】 前記チップ上導体膜は2つの領域からな

第1の接続手段と前記第2の接続手段とを用いて該領域の一方を経由して前記第1の電源プレーンに接続され、第2の電源信号電極が前記第1の接続手段と前記第2の接続手段とを用いて該領域の他方を経由して前記第2の電源プレーンに接続されていることを特徴とする請求項6記載の半導体パッケージ。

【請求項8】 前記接続手段がボンディングワイヤであることを特徴とする請求項1記載の半導体パッケージ。

【請求項9】 前記チップ上導体膜が無電解メッキ膜であることを特徴とする請求項3記載の半導体パッケージ。

【請求項10】 前記第2の電源プレーンはその一端が前記半導体チップの四辺の少なくともひとつに沿った延在部とされ、前記接続部が該延在部に形成されていることを特徴とする請求項2記載の半導体パッケージ。

【請求項11】 前記第1の電源プレーンの接続部が、前記半導体チップと前記第2の電源プレーンの接続部との間に配されていることを特徴とする請求項9記載の半導体パッケージ。

【請求項12】 中継基板の少なくとも一方の主面においてその表面に積層された導体膜をパターニングすることにより複数の導体パターンを形成する第1工程と、  
前記導体パターンの一部について、チップ実装域の外周の至近に接続部を形成する第2工程と、  
半導体チップを、そのチップ上電極が配列された電極配列面を上向きにして前記導体パターンの中の第1の電源プレーンに接着する第3工程と、  
前記接続部とこれに対応する前記チップ上電極とを前記接続手段を用いて最短距離にて接続する第4工程とを有することを特徴とする半導体パッケージの製造方法。

【請求項13】 前記半導体チップの電極配列面には前記チップ上電極の非形成部位に予めチップ上導体膜を形成しておき、

前記第4工程では、前記チップ上電極の一部を前記チップ上導体膜へ第1の接続手段を用いて接続すると共に、  
該チップ上導体膜を前記半導体チップの外周の至近に配された前記導体パターンの接続部へ第2の接続手段を用いて接続することを特徴とする請求項12記載の半導体パッケージの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、中継基板を介して実装基板上に実装される半導体パッケージに関し、特にパッケージ内部の寄生インダクタンス成分を低減させることにより、パッケージ内部あるいは実装基板で発生する電源／グランド・バウンスを抑制できる新規なパッケージ構造およびその簡便な製造方法に関する。

## 【0002】

【従来の技術】近年の電子機器には、文字情報に加えて

り、CPU（中央演算処理装置）の多ビット化に合わせてASIC（特定用途向けIC）やメモリ等の周辺デバイスの多ビット化も進行している。また、デバイスの動作速度の向上に伴って反射ノイズ、クロストーク、同時スイッチングノイズ等のノイズが顕在化しているため、電源信号やグランド信号に対応するピン数を増やしてこれらを低減させている。このようにして、半導体パッケージの入出力ピン数は増加の一途を辿ることになる。

【0003】このように、半導体パッケージも電気回路の一部として考慮を要するような情勢の中で、BGA（ボール・グリッド・アレイ）パッケージが高速デバイス用の半導体パッケージとして期待されている。BGAパッケージとは、パッケージの外部接続端子として従来のリードフレームに替え、裏面、すなわち実装基板との接合面に導電性ボール（ bumps ）をエリアアレイ状に配列させたものである。

【0004】図20に、典型的なBGAパッケージに用いられる中継基板のチップ載置面を示す。ここで、絶縁性の中継基板100上では導体膜が予めパターンニングされてグランド・プレーン103上と多数の信号線102とが形成され、半導体チップ200はAgペースト等の導電性接着剤を用いてこのグランド・プレーン103に接着される。この半導体チップ200の電極配列面に配列されたチップ上電極201と中継基板100上に予め形成されている多数の信号線102とは、ボンディングワイヤ202を用いて個々に電気的に接続されている。半導体チップ200上のチップ上電極201の数が増大するにつれて、中継基板100上に密集して形成される信号線102の数も増えることから、半導体チップ200と信号線102との間の距離は大きくならざるを得ない。

【0005】上記の各信号線102は、予め中継基板100に形成されたビアホール101に接続されており、このビアホール101を通じて該中継基板100の裏面へ電気接点が引き出され、この電気接点にさらに外部接続端子としてのハンダ・ボール（図示せず。）が配列される。上記ビアホール101は、中継基板100として低コストの両面基板、すなわち1枚の絶縁基板の表面側と裏面側の双方に導体膜を積層した基板を用いる場合には、この基板を貫通するごとく形成される。このようにして基板の図示されない裏面側へ引き出された電気接点からは、裏面側の導体膜のパターンニングにより形成された適当な局所配線パターンがハンダボール形成部位へ向かって延びており、この局所配線パターンの末端にハンダボールが被着形成される。また、高速デバイス用を作製するために中継基板100として多層基板を用いる場合には、ビアホール101は互いに絶縁された幾層もの内部配線パターンを用いて電気接点の配列パターンの変換を繰り返されながら、基板の裏面に至る。

【発明が解決しようとする課題】ところで、理想的な半導体パッケージとは、半導体チップをその性能を何ら損なうことなく実装基板へ電気的に接続させるものである。しかし、実際にはパッケージに付随する寄生の容量、インダクタンス、抵抗等の様々なパラメータが性能に影響を及ぼす。特に、電源系配線に付随するインダクタンスは、トランジスタのスイッチングの過渡的な電流変化によってノイズを発生させる原因となりやすい。一例として、図21に寄生インダクタンスの存在するCMOSの等価回路を示す。CMOS回路では、入力信号 $V_{in}$ の論理0から論理1への変化、あるいはその逆の変化に一定の時間を要するため、PMOSとNMOSの両者が共に導通し、電源-グランド（GND）間に大きな貫通電流 $I_{cc}$ が流れる期間が発生する。この様子は、図22の入力電圧（ $V_{in}$ ）、貫通電流（ $I_{cc}$ ）、出力電圧（ $V_{out}$ ）の経時変動のグラフにも示した。

【0007】このような貫通電流 $I_{cc}$ がたとえば半導体パッケージ内部のボンディングワイヤ、中継基板上の信号線、ハンダボール、半導体チップの内部配線、実装基板の配線パッド、ビアホールに存在する寄生成分（主としてインダクタンス成分）に流れると、実際のグランド電位や電源電位が変動する。この現象は電源/グランド・バウンスと呼ばれており、回路中の電位の基準が変動することから回路の誤動作の原因となることが知られている。インダクタンスを $L$ 、電流を $i$ 、時間を $t$ とすると、電源/グランド・バウンス（ $V$ ）は、一般に下記の式で表すことができる。

$$V = L \cdot di/dt$$

【0008】上式より、電源/グランド・バウンス（ $V$ ）は、スイッチング速度（ $di/dt$ ）が高くなるほど、またインダクタンス（ $L$ ）が大きくなるほど増大する。特に寄生インダクタンスへの寄与の大きい部材はボンディングワイヤであり、その値は通常 $1\text{ nH/mm}$ 程度である。これは、形状にもよるが、信号線やビアホールのインダクタンスの約3倍にも達する値である。したがって、半導体パッケージ内部の寄生インダクタンスを低減させるには、ボンディングワイヤを短縮することが有効と考えられるが、前述のように半導体チップと信号線との間の距離が増大している状況下では、短縮はむしろ難しくなりつつある。そこで本発明は、半導体チップの電極数が増大しても、寄生インダクタンス成分を低く抑え、動作の高速化と外部端子数の増大に対応できる半導体パッケージを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の半導体パッケージは、従来のように半導体チップ上のすべてのチップ上電極を一樣に遠方の導体パターンへ接続するのではなく、一部のチップ上電極に関して対応する導体パターンの接続部を半導体チップの外周の至近に設け、このチッ

により、少なくともこの接続に付随する寄生インダクタンスを低減させ、上記の目的を達成しようとするものである。

【0010】寄生インダクタンスの低減効果が最も大きく現れるのは、電源系統である。したがって、半導体チップを接着する第1の電源プレーンと、これとは電位の異なる第2の電源プレーンについて接続部を半導体チップの外周の至近に設け、接続長を短縮することが特に好適である。この場合の最短距離による接続は、(ア)半導体チップの電極配列面においてチップ上電極の形成されていない部位に単一または複数の領域からなるチップ上導体膜を設け、この膜を経由する構成、あるいは(イ)第2の電源プレーンの一端を半導体チップの四辺の少なくともひとつに沿った延在部とし、接続部をこの延在部に設ける構成を採ることにより、容易に達成することができる。

【0011】かかる本発明の半導体パッケージを製造するには、まず第1工程で中継基板の少なくとも一方の主面においてその表面に積層された導体膜をパターンニングすることにより複数の導体パターンを形成し、次に第2工程でこの導体パターンの一部についてチップ実装域の外周の至近に接続部を形成し、次に第3工程で半導体チップをその電極配列面を上向きにして上記導体パターンの中の第1の電源プレーンに接着し、さらに第4工程で上記接続部とこれに対応するチップ上電極とを上記接続手段を用いて最短距離にて接続すればよい。なお、上記(ア)の構成を有する半導体パッケージを製造するには、半導体チップの電極配列面におけるチップ上電極の非形成部位に、予めチップ上導体膜を形成しておき、チップ上電極の一部を前記チップ上導体膜へ最短距離にて接続する第1の接続手段と、該チップ上導体膜を前記半導体チップの外周の至近に配された前記導体パターンの接続部へ最短距離にて接続する第2の接続手段とを用いることが必要となる。

#### 【0012】

【発明の実施の形態】本発明の半導体パッケージによれば、半導体チップのチップ上電極の数が増大しても、一部の信号を取り扱うチップ上電極については半導体チップの外周の至近にて中継基板の導体パターンと接続されるため接続長を常に最短化することができ、この接続に付随する寄生インダクタンスを低減させることができる。なお、半導体チップの外周の至近とは、具体的には矩形または方形の半導体チップの四辺に沿った領域、または半導体チップの対角線の延長上もしくはその近傍に相当する領域である。

【0013】本発明において、接続長の短縮が最も効果的と考えられる取り扱い信号は、電源系の信号である。本発明で述べる第1の電源プレーンと第2の電源プレーン、および第1の電源信号電極と第2の電源信号電極と

信号を取り扱うものである。これらの信号電位は、いずれが高くてよい。可能な組み合わせとしては(i)第1の電源信号がプラス電位で第2の電源信号がグランド電位である場合、またはその逆、(ii)第1の電源信号がマイナス電位で第2の電源信号がグランド電位である場合、またはその逆、(iii)第1の電源信号と第2の電源信号が共にグランド電位と等しくなく、かつ互いに異なっている場合、である。特に、CMOS回路において電源信号の一方がプラスまたはマイナスの電源信号、他方がグランド信号である場合、電源／グランド・パウンスを低減させることができる。

【0014】本発明では、前述のようにチップ上導体膜を経由したり、あるいは第2の電源プレーンのレイアウトの工夫により、接続長の最短化を図る。チップ上導体膜を使用する場合、第1の電源信号と第2の電源信号を取り扱うチップ上電極について、従来の長い1本のボンディングワイヤ(たとえば、図20の符号202)の代わりに、最短距離にて形成される第1の接続手段と第2の接続手段を用いる。

【0015】ここで、チップ上導体膜が単一領域からなるとき、上記の第1の接続手段と第2の接続手段は、下記の経路(a)、(b)のいずれかにおいて用いられることになる。

(a) 半導体チップの第1の電源信号電極→(第1の接続手段)→チップ上導体膜→(第2の接続手段)→中継基板の第1の電源プレーン

または

(b) 半導体チップの第2の電源信号電極→(第1の接続手段)→チップ上導体膜→(第2の接続手段)→中継基板の第2の電源プレーン

これら第1の接続手段と第2の接続手段は、典型的にはボンディングワイヤである。これらは、半導体チップの電極配列面の面内、およびその外周の至近へ引き出されるだけなので、両者の長さを合計しても従来のボンディングワイヤに比べて遥かに短くなる。

【0016】なお、第1の電源信号と第2の電源信号とは、いずれか一方ではなく両方同時に共に最短距離で伝送されることが一層望ましい。そこで、第1の電源プレーンと第2の電源信号プレーンの接続部とを共に半導体チップの外周の至近に配しておき、チップ上導体膜に接続されない方のチップ上電極を第3の接続手段を介して直接にこれらのプレーンのいずれかに接続させた構成とすることが特に好適である。つまり、上記経路(a)を採用する場合には、半導体チップの第2の電源信号電極をその至近の第2の電源プレーンの接続部に接続し、上記経路(b)を採用する場合には、半導体チップの第1の電源信号電極をその至近の第1の電源プレーンに接続することになる。第3の接続手段も、典型的にはボンディングワイヤとすることができる。

信号以外の信号を取り扱うチップ上電極に対応する導体パターンの接続部は、従来どおり半導体チップから遠距離の場所に配されていても構わない。さらに、上記第2の接続手段の数を第1の接続手段の数よりも大とすることは、寄生インダクタンスの低減に有効である。数をどの程度大とするかについては、半導体チップの電極数や中継基板のチップ載置面上における導体パターンのレイアウトに応じて適宜決定する。

【0018】一方、チップ上導体膜を互いに電氣的に接続されない複数の領域に分割することにより、個々の領域で異なる信号を中継することも可能である。たとえば、前記チップ上導体膜が2つの領域からなるときは、一方の領域を経由してチップ上電極の中の第1の電源信号電極を第1の接続手段と第2の接続手段とを用いて第1の電源プレーンに接続し、他方の領域を経由して第2の電源信号電極を同じく第1の接続手段と第2の接続手段とを用いて第2の電源プレーンに接続することができる。分割された個々の領域の形状は、複数の信号のいずれをもできるだけ短い距離で中継可能とする形状であれば特に限定されるものではない。たとえば、半導体チップの電極配列面が長方形である場合には、その長手方向に沿って2分割されたようなチップ上導体膜の形状が好適である。

【0019】なお、本発明におけるチップ上導体膜は、金属箔、スパッタ膜や蒸着膜、あるいは無電解メッキ膜のいずれであってもよい。チップ上導体膜の形成に際してスパッタリングや蒸着や無電解メッキを行う場合には、チップ上電極の形成部位をレジスト膜等の適当なマスクで被覆する。無電解メッキは、本発明においてチップ上導体膜の形成方法として特に有効である。これは、メッキを施すための余分な配線が不要なので配線引回しの負担が少ないこと、また余分な配線の分岐点が存在しなくなることで、該分岐点における電気信号の反射が発生せず、信号波形の歪みが抑えられることによる。

【0020】次に、第2の電源プレーンのレイアウトの工夫について説明する。本発明では、第2の電源プレーンの一端を半導体チップの四辺の少なくともひとつに沿った延在部とし、接続部をこの延在部に形成する。最短距離にて接続したいチップ上電極が半導体チップの四辺の中の一部の辺のみに沿って存在する場合には、第2の電源プレーンの一端も対応する一部の辺のみに沿って延在されていけばよい。しかし、搭載される半導体チップの種類によらず中継基板を汎用化するためには、四辺の各々に沿って上記延在部が形成されていることが特に好適である。上記延在部と反対側の他端の形状や長さについては、特に限定されるものではない。

【0021】以上述べたような本発明の半導体パッケージは、従来の製造装置を用いて製造することができる。チップ上導体膜を用いる半導体パッケージの場合、チッ

プ上導体膜に接続する工程とが従来プロセスに追加される。しかし、電気接点が高いチップ上電極から広いチップ上導体膜に一旦変換されるので、チップ上導体膜から接続部への接続手段の配設位置や配設数の設計に関して自由度が高いというメリットがある。これに対し、第2の電源プレーンのレイアウトを工夫する場合は、上記の自由度に関するメリットはないが、従来プロセスのマスクパターンの変更やワイヤボンダの動作の変更で対処できるため、工程数は一切増加しない。

【0022】

【実施例】以下、本発明の具体的な実施例について、説明する。

【0023】実施例1

まず、本発明の半導体パッケージの構成の一例について、図9および図10を参照しながら説明する。図9に示される半導体パッケージは、絶縁基板1の一方の主面、すなわちチップ載置面上において導体膜2の加工により形成された電源プレーン(PP)2p、グランドプレーン(GP)2gおよび一般信号線2s<sub>1</sub>に対し、半導体チップ10の電極配列面に露出するチップ上電極11がそれぞれワイヤボンディングにより接続されたものである。なお本明細書中では、電源プレーン(PP)2p、グランドプレーン(GP)2g、および一般信号線2s<sub>1</sub>の三者を「導体パターン」と総称することがある。半導体チップ10の電極配列面には、上記チップ上電極11を避けた領域にチップ上導体膜12が形成されている。

【0024】図示される例では、電源信号を取り扱うチップ上電極11と上記チップ上導体膜12とが第1の接続手段に相当するチップ/導体膜間ワイヤ13を用いて最短距離にて接続され、さらにチップ上導体膜12と上記電源プレーン(PP)2pとが第2の接続手段に相当する導体膜/PP間ワイヤ14を用いて最短距離にて接続されている。ここで、半導体チップ10はチップ載置面の中央に置かれ、上記電源プレーン2pは該チップ載置面の四隅から該半導体チップ10の四隅の近傍に至る4つの帯状領域として形成されている。したがって、上記導体膜/PP間ワイヤ14による最短距離の接続は、半導体チップ10の四隅近傍で達成されている。なお、上記チップ載置面の大部分はソルダーレジスト層4で被覆されており、導体パターンの接続部とは、該ソルダーレジスト層4に開口された配線窓の内部を指す。たとえば上記電源プレーン2pの接続部とは、上記半導体チップ10の対角線のほぼ延長上に開口された電源配線窓4pの内部である。

【0025】一方、グランド信号を取り扱うチップ上電極11は、第3の接続手段に相当するチップ/GP間ワイヤ15を用いてグランドプレーン(GP)2gの接続部に最短距離にて接続されている。ここで、グランドプ

ってその至近でソルダーレジスト層4に開口されたグラウンド配線窓4gの内部である。電源信号およびグラウンド信号以外の信号(以下、一般信号と称する。)を取り扱うチップ上電極11は、チップ/一般信号線間ワイヤ16を用いて一般信号線2s<sub>1</sub>の接続部に接続されている。ここで、一般信号線2s<sub>1</sub>の接続部とは、半導体チップ10の遠方にてソルダーレジスト層4に開口された一般配線窓4sの内部である。

【0026】ところで、上記グラウンドプレーン(GP)2gと一般信号線2s<sub>1</sub>は、絶縁基板1を貫通する貫通ビアホール3を通じてその電気接点が基板実装面へ引き出されている。この基板実装面の状態を図10に示す。この図は、前掲の図9に示したチップ載置面の表面をモールド樹脂17で被覆した後に、ハンダボール18を配した状態を示している。基板実装面に表出したビアホール3の各々には、中継基板1の周辺部へ外部接続端子としてのハンダボール18を再配置させるための一般信号線(後述の図3の符号2s<sub>2</sub>)が接続されており、基板実装面の全面はチップ載置面と同様、ソルダーレジスト層4で被覆されている。このソルダーレジスト層4は、上記一般信号線2s<sub>2</sub>の末端に形成されているのパッド部の上で開口されており、この開口の内部がこれら一般信号線2s<sub>2</sub>とハンダボール18との電気接点となされている。

【0027】上記のような構成によれば、寄生インダクタンスへの寄与が最も大きい電源信号およびグラウンド信号伝送用のボンディングワイヤが、従来に比べて大幅に短縮されている。また、電源信号およびグラウンド信号以外の信号に対応する一般信号線2s<sub>1</sub>は半導体チップ10から遠方領域に形成されているが、この遠方領域では電源信号とグラウンド信号に対応する信号線が不要となる分、信号線の形成本数を減らすことができるので、信号線同士がそれほど密集しない。したがって、半導体チップ10と一般信号線2s<sub>1</sub>との距離を従来に比べて短縮することができる。したがって本構成は、特にCMOS回路の電源/グラウンド・バウンスの抑制に極めて効果的である。

【0028】次に、上述の半導体パッケージの製造方法について、図1ないし図10を参照しながら説明する。まず図1に示されるように、たとえばガラス繊維強化エポキシ樹脂等の材料(比誘電率 $\epsilon=4.0$ )よりなる厚さ400 $\mu\text{m}$ の絶縁基板1の両面に、たとえば厚さ35 $\mu\text{m}$ のCu箔が導体膜2として接着されたBGA中継基板を用意した。なお、上記の例では導体膜2の構成材料としてガラスエポキシ基板との熱膨張係数のマッチングが良好なCu箔を使用した。絶縁基板1と導体膜2の材料の組み合わせはこれに限られるものではない。

【0029】次に、図2に示されるように、チップ載置面と基板実装面との間で電気接続をとりたい所望の箇所

にCuメッキを施すことにより貫通ビアホール3を形成した。次に、チップ載置面および基板実装面の導体膜2上にアクリル酸エステル系樹脂からなる図示されないレジスト・パターンをフォトリソグラフィによりそれぞれ形成し、このレジスト・パターンをマスクとして塩化第二鉄水溶液を用いた導体膜2のウェットエッチングを行った。この結果、チップ載置面側には図2に示されるような電源プレーン2p、グラウンドプレーン2g<sub>1</sub>および線幅100 $\mu\text{m}$ の一般信号線2s<sub>1</sub>が、また基板実装面側には図3に示されるようなグラウンドプレーン2g<sub>2</sub>と線幅100 $\mu\text{m}$ の一般信号線2s<sub>2</sub>とが形成された。なお、上記電源プレーン2pとグラウンドプレーン2g<sub>1</sub>の面積比は、1:2とした。ただし、この面積比は所望の電気特性に応じて適宜変更して構わない。また、基板実装面側の一般信号線2s<sub>2</sub>は、貫通ビアホール3の配列をハンダボール配列に変換するための局所配線として用いられるものであり、その末端にはパッド部を形成した。

【0030】次に、上記レジスト・パターンを剥離した後、チップ載置面と基板実装面にそれぞれ感光性エポキシ樹脂を塗布して厚さ約50 $\mu\text{m}$ のソルダーレジスト層4を形成し、常法にしたがって選択露光と現像を行うことにより各種の窓を形成した。これらの窓とは、中継基板中央でグラウンドプレーン2gを表出させる矩形のチップ実装窓4c、その四辺の至近に開口され同じくグラウンドプレーン2gの接続部を表出させる矩形のグラウンド配線窓4g、上記チップ実装窓4cから見てこれらグラウンド配線窓4gのさらに外側に配され一般信号線2s<sub>1</sub>の接続部を表出させる矩形の一般配線窓4s、および上記チップ実装窓4cの四隅の延長上で電源プレーン2pの接続部を表出させる矩形の電源配線窓4pである。

【0031】次に、上記チップ実装窓4cの内部に導電性接着剤としてたとえばAgペーストを塗布し、この上に図5に示されるように半導体チップ10をその電極配列面を上向きとなるように置き、たとえば175℃、90分の熱処理条件で上記Agペーストを硬化させ、半導体チップ10を接着した。上記半導体チップ10は、電極配列面の四辺に沿って多数のチップ上電極11が配列されたものであるが、これらチップ上電極11の非形成領域にはチップ上導体膜12が形成されている。このチップ上導体膜12として、たとえば無電解メッキ法により形成された厚さ約10 $\mu\text{m}$ のCu膜を用いた。

【0032】次に、上記半導体チップ10のチップ上電極11と導体パターンの各接続部へのワイヤボンディングを図6ないし図9を参照しながら説明するが、各ワイヤボンディングの順番はこれに限られるものではない。まず、図6に示されるように、チップ上電極11とチップ上導体膜12とをチップ/導体膜間ワイヤ13を用いて最短距離にて接続した。本実施例では、ここで接続さ



チップ/導体膜間ワイヤ13としては、長さ約250 $\mu$ mのAuワイヤを各電源信号電極につき1本使用した。

【0033】次に、図7に示されるように、チップ上導体膜12と電源プレーン(PP)2pとを導体膜/PP間ワイヤ14を用いて接続した。この導体膜/PP間ワイヤ14もAuワイヤである。上記接続は、半導体チップ10の電極配列面の四隅近傍と電源配線窓4pとの間で行い、要したAuワイヤ1本当たりの長さは1mmである。ここでは、電気抵抗の上昇を抑えるために、導体膜/PP間ワイヤ14の本数を、チップ/導体膜間ワイヤ13の本数の2倍とした。ただし、この本数の比は所望の電気特性に応じて適宜変更して構わない。

【0034】次に、図8に示されるように、チップ上電極11とグランドプレーン(GP)2gとをチップ/GP間ワイヤ15を用いて最短距離にて接続した。ここで接続されるチップ上電極は、グランド信号電極である。また、チップ/GP間ワイヤ15としては、長さ約600 $\mu$ mのAuワイヤを各グランド信号電極につき1本使用した。さらに、図9に示されるように、チップ上電極11と一般信号線2s<sub>1</sub>とをチップ/一般信号線間ワイヤ16を用いて接続した。ここで接続されるチップ上電極は、一般信号電極である。また、チップ/一般信号線間ワイヤ16としては、長さ約2mmのAuワイヤを各一般信号電極につき1本使用した。

【0035】このようにしてすべてのワイヤボンディングが終了した中継基板のチップ載置面を、図10に示されるようなモールド樹脂層17で被覆した。このときのモールド樹脂としては、たとえば比誘電率 $\epsilon=4.0$ のエポキシ樹脂を使用した。さらに、基板実装面側では、ハンダパッドに臨んで予め形成されていたソルダーレジスト層4の開口部位にハンダペーストを塗布し、該ハンダペーストが融解する温度、たとえば200℃で熱処理を行い、外部接続端子としてのハンダボール18を形成した。なお、ここではいわゆるウェットバック法によるハンダボール18の形成を説明したが、外部接続端子の種類や形成方法はこれに限られるものではない。たとえば、ワイヤ・ボンダを用いてパッド部の上にひとつずつボールを形成したり、あるいは他の配列基板上に配列された金属球を転写することも可能である。以上の製造プロセスは、従来のBGAパッケージの製造に用いられる製造装置を変更することなく、パターンの変更のみで対応できる簡便なものである。

#### 【0036】実施例2

本実施例では、実施例1と同様のチップ上導体膜12をグランド接続に使用した例について、図11を参照しながら説明する。図11には、半導体チップ10の電極配列面のみ示してある。この例では、グランド信号電極11<sub>g</sub>とチップ上導体膜12とがチップ/導体間ワイヤ13で接続されており、チップ上導体膜12の四隅からは

チップ/GP間ワイヤ15が導出されている。なお、本実施例における電源信号電極は、半導体チップ10の外周の至近にて電源プレーン(PP)と接続する必要がある。したがって、半導体チップ10の四辺の至近にその接続部を配することができるよう、電源プレーン(PP)とグランドプレーン(GP)のレイアウトは実施例1に示したものを適宜変更することが望ましい。

#### 【0037】実施例3

本実施例では、チップ上導体膜を半導体チップ10の長手方向に二分割し、分割される各々の領域をそれぞれ別の電源系統への接続に使用した例について、図12を参照しながら説明する。図12は、半導体チップ10の電極配列面を示す図である。この例では、チップ上導体膜が長手方向中央で分割され、それぞれ第1チップ上導体膜121と第2チップ上導体膜122とされている。上記第1チップ上導体膜121には、第1電源信号電極11<sub>p1</sub>がチップ/導体膜間ワイヤ13で接続され、さらに該第1チップ上導体膜121の両端部からはこれを第1の電源プレーンPP<sub>1</sub>へ接続するためのチップ/PP間ワイヤ14が導出されている。

【0038】一方、上記第2チップ上導体膜122には、第2電源信号電極11<sub>p2</sub>がチップ/導体膜間ワイヤ13で接続され、さらに該第2チップ上導体膜122の両端部からはこれを第2の電源プレーンPP<sub>2</sub>へ接続するためのチップ/PP間ワイヤ14が導出されている。このような構成は、半導体チップ10が電位の異なる2系統の電源を使用している場合に用いると好適である。

#### 【0039】実施例4

本実施例では、実施例3と同様に二分割されたチップ上導体膜の各領域を、それぞれ電源接続とグランド接続に使用した例について、図13を参照しながら説明する。図13は、半導体チップ10の電極配列面を示す図である。この例において、上記第1チップ上導体膜121にはグランド信号電極11<sub>g</sub>が、また第2チップ上導体膜122には電源信号電極11<sub>p</sub>がそれぞれチップ/導体膜間ワイヤ13で接続されている。上記第1チップ上導体膜121の両端部からはこれをグランドプレーンGPへ接続するためのチップ/GP間ワイヤ15が導出され、また上記第2チップ上導体膜122の両端部からはこれを電源プレーンPPへ接続するためのチップ/PP間ワイヤ14が導出されている。

【0040】かかる構成によれば、電源信号とグランド信号にそれぞれ関与するボンディングワイヤの寄生インダクタンスへの寄与分を平均化することが可能となる。なお、本実施例においては、電源プレーン(PP)とグランドプレーン(GP)の接続部を共に半導体チップ10の外周の至近に配することができるようなレイアウトを適宜決定する必要がある。

#### 【0041】実施例5



ンのレイアウトの工夫により接続長の短縮を可能とする半導体パッケージの構造とその製造方法について説明する。本実施例の半導体パッケージは、図16に示されるように、絶縁基板21の一方の主面、すなわちチップ載置面上において導体膜の加工により形成された電源プレーン(PP)22p、グランドプレーン(GP)22gおよび一般信号線22sに対し、半導体チップ25の電極配列面に露出するチップ上電極26がそれぞれワイヤボンディングにより接続されたものである。この接続は、チップ載置面の大部分を覆うソルダーレジスト層24に設けられた電源配線窓24p、グランド配線窓24g、および一般配線窓24sをそれぞれ介して行われている。一般信号線22sの末端は、貫通ビアホール23を介して絶縁基板21の裏面、すなわち基板実装面側へ引き出されている。なお、グランドプレーン22gに接続される貫通ビアホール、および基板実装面におけるハンダボール再配置用配線やハンダボールの配置については前述の実施例1に準ずるものとし、図示および説明は省略する。

【0042】上記電源プレーン22pは、一端が半導体チップ25の四辺の各々に沿い、かつ他端が絶縁基板21の四隅へ向かって延在される略L字形のパターンに形成されている。このうち、半導体チップ25の四辺に沿う延在部の一部が電源配線窓24pの内部に接続部として表出され、この部分とチップ上電極26の中の電源信号電極とが電源接続ワイヤ27により最短距離にて接続されている。上記グランドプレーン22gについては、上記電源プレーン22pの接続部と半導体チップ25との中間の領域においてグランド配線窓24gの内部に表出された部分が接続部とされている。この接続部とチップ上電極26の中のグランド信号電極とがグランド接続ワイヤ28により最短距離にて接続されている。一般信号線22sは、半導体チップ25から見て上記電源プレーン22pを隔ててさらに遠方に配され、一般配線窓24sの内部に表出された部分が接続部とされている。この接続部と残りのチップ上電極26とが一般信号線接続ワイヤ29により最短距離にて接続されている。

【0043】かかる構成によれば、実施例1の場合のようにグランド接続と電源接続の接続長を同時に短縮することは困難であるが、それでも従来品に比べて大幅な接続長の短縮が可能となり、ボンディングに伴う寄生インダクタンスを低減させることができる。

【0044】次に、本実施例の半導体パッケージの製造方法について、図14ないし図16を参照しながら説明する。まず、図14に示されるように、絶縁基板21のチップ載置面側の導体膜をパターンニングし、電源プレーン(PP)22pとグランドプレーン(GP)22gを形成した。ここで、上記電源プレーン22pの線幅w1、w2はたとえば400 $\mu$ m、チップ実装域Cとの間

に、図15に示されるように、絶縁基板21の両面にソルダーレジスト層24を形成した。チップ実装面側のソルダーレジスト層24については、チップ実装域Cを表出させるチップ実装窓24c、電源プレーン22pを一部表出させる電源配線窓24p、グランドプレーン22gを一部表出させるグランド配線窓24g、一般信号線22sを一部表出させる一般配線窓24sを形成した。電源接続窓24p、およびグランド接続窓24gの開口幅w5、w6は、たとえば100 $\mu$ mとした。

【0045】この後、前掲の図16に示したように上記チップ実装窓24cの内部にAgペーストを用いて半導体チップ25を接着し、ワイヤボンディングを施し、さらに図示されないモールド樹脂層を形成して、半導体パッケージを完成させた。かかる半導体パッケージの製造方法には、チップ上導体膜を用いた前述の実施例1と異なり、従来プロセスと比べても工数が変わらず、製造設備も従来と同じものが使用できるというメリットがある。

#### 【0046】実施例6

本実施例では、実施例5の変形例として、電源プレーンのレイアウトをさらに変化した半導体パッケージの構造とその製造方法について説明する。本実施例の半導体パッケージは、図19に示されるように、絶縁基板31の一方の主面、すなわちチップ載置面上において導体膜の加工により形成された電源プレーン(PP)32p、グランドプレーン(GP)32gおよび一般信号線22sに対し、半導体チップ35の電極配列面に露出するチップ上電極36がそれぞれワイヤボンディングにより接続されたものである。この接続は、チップ載置面の大部分を覆うソルダーレジスト層34に設けられた電源配線窓34p、グランド配線窓34g、および一般配線窓34sをそれぞれ介して行われている。一般信号線32sの末端は、貫通ビアホール33を介して絶縁基板31の裏面、すなわち基板実装面側へ引き出されている。なお、グランドプレーン32gに接続される貫通ビアホール、および基板実装面におけるハンダボール再配置用配線やハンダボールの配置については前述の実施例1に準ずるものとし、説明は省略する。

【0047】上記電源プレーン32pは、一端が半導体チップ35の四辺の各々に沿い、かつ他端が絶縁基板31の四辺の中央へ向かって延在される略T字形のパターンに形成されている。このうち、半導体チップ35の四辺に沿う延在部の一部が電源配線窓34pの内部に接続部として表出され、この部分とチップ上電極36の中の電源信号電極とが電源接続ワイヤ37により最短距離にて接続されている。上記グランドプレーン32gについては、上記電源プレーン32pの接続部と半導体チップ35との中間の領域においてグランド配線窓34gの内部に表出された部分が接続部とされている。この接続部

ド接続ワイヤ38により最短距離にて接続されている。一般信号線32sは、半導体チップ35から見て上記電源プレーン32pを隔てた遠方であって、かつ該電源プレーン32pを挟んで両側に配され、一般配線窓34sの内部に表出された部分が接続部とされている。この接続部と残りのチップ上電極36とが一般信号線接続ワイヤ39により最短距離にて接続されている。

【0048】かかる構成によれば、実施例1の場合のようにグランド接続と電源接続の接続長を同時に短縮することは困難であるが、それでも従来品に比べて大幅な接続長の短縮が可能となり、ボンディングに伴う寄生インダクタンスを低減させることができる。なお、前述の実施例5と本実施例6の半導体パッケージは、基板実装面側における電源接続用のハンダボールの形成位置の違いに応じて使い分けることができる。すなわち、電源接続用のハンダボールを基板実装面の四隅近傍に形成したい場合には、実施例5の半導体パッケージが適しており、基板実装面の四辺の中央近傍に形成したい場合には、実施例6の半導体パッケージが適している。この組み合わせを逆にすると、基板実装面におけるハンダボール再配置用配線の長さが大となり、この配線によるインダクタンス成分の増大により電気特性の劣化が懸念されるからである。

【0049】次に、本実施例の半導体パッケージの製造方法について、図17ないし図19を参照しながら説明する。まず、図17に示されるように、絶縁基板31のチップ載置面側の導体膜をパターンニングし、電源プレーン(PP)32pとグランドプレーン(GP)32gを形成した。ここで、上記電源プレーン32pの線幅w1、w2はたとえば400 $\mu$ m、チップ実装域Cとの間の最短幅w3、w4はたとえば300 $\mu$ mとした。次に、図18に示されるように、絶縁基板31の両面にソルダーレジスト層34を形成した。チップ実装面側のソルダーレジスト層34については、チップ実装域Cを表出させるチップ実装窓34c、電源プレーン32pを一部表出させる電源配線窓34p、グランドプレーン32gを一部表出させるグランド配線窓24g、一般信号線32sを一部表出させる一般配線窓34sを形成した。電源接続窓34p、およびグランド接続窓34gの開口幅w5、w6は、たとえば100 $\mu$ mとした。

【0050】この後、前掲の図19に示したように上記チップ実装窓34cの内部にAgペーストを用いて半導体チップ35を接着し、ワイヤボンディングを施し、さらに図示されないモールド樹脂層を形成して、半導体パッケージを完成させた。かかる半導体パッケージの製造方法には、チップ上導体膜を用いた前述の実施例1と異なり、従来プロセスと比べても工数が変わらず、製造装置も同じものが使用できるというメリットがある。

【0051】以上、本発明を6例の実施例にもとづいて

ものではない。例に何ら限定されるものではない。たとえば、上述の実施例ではBGAパッケージを前提とした説明を行ったが、外部接続端子はボールに限られず、ピン等の他の形状を有するものであっても構わない。また、中継基板も上述のような低コストの両面基板に限られず、数層の絶縁基板と内部配線層を用いてビアホールの再配置を行う多層基板であってもよい。チップ上導体膜には、モールド樹脂層に含まれる $\alpha$ 線源から半導体チップの内部回路を保護する $\alpha$ 線シールド膜としての機能も期待できる。したがって、実施例5や実施例6のようにチップ上電極を直接に絶縁基板上の導体パターンへボンディングする場合であっても、半導体チップの電極配列面にチップ上導体膜を形成しておいてもよい。この他、中継基板のチップ載置面上における導体膜パターンの形状やレイアウト、チップ上導体膜の形状やこれを分割形成する際の各領域のレイアウト、各部の膜厚や寸法、使用する材料、各部の形成方法等の細部については、本発明の趣旨を逸脱しない範囲で適宜変更、選択、組合せが可能である。

#### 【0052】

【発明の効果】以上の説明からも明らかなように、本発明の半導体パッケージでは、半導体チップの電極配列面上のチップ上電極の一部が、該半導体チップの至近にて中継基板のチップ載置面上に形成された所望の導体パターンと最短距離にて接続されるので、この電極の信号接続にかかわる寄生インダクタンスを低減させることができる。特に、半導体チップの電位の異なる2種類の電源プレーンの一方あるいは両方を最短距離にて接続すると、寄生インダクタンスの低減効果が大きい。これにより、たとえばCMOS回路の電源/グラント・パワンスを抑制することができる。電源信号以外の一般信号を取り扱うチップ上電極は、従来どおり半導体チップから遠方の一般信号線へ接続するが、本発明では遠方に配される信号線の数を従来に比べて削減できるため、一般信号線の接続部を半導体チップにより近づけ、これによりボンディングワイヤ長を短縮してインダクタンスを低減することができる。

【0053】上記の接続を半導体チップの電極配列面に形成されたチップ上導体膜を経由して行えば、複数の信号電極に関する接続長の短縮を、比較的大きな自由度をもって実現することができる。チップ上導体膜が単一領域からなる場合には、第1の電源プレーンと第2の電源プレーンのいずれか一方を、またチップ上導体膜が互いに電気的に接続されない複数領域からなる場合には、同時に異種の信号を経由させることができる。さらに、中継基板上における導体パターンのレイアウトを工夫すれば、従来プロセスと同じ工数でより容易に接続長を短縮することができる。このように本発明は、中継基板上における半導体チップの実装形態の工夫を通じて、BGA

チで配列された半導体パッケージの性能を高めるものであり、産業上の価値は極めて高い。

【図面の簡単な説明】

【図1】加工前のBGA用中継基板を示す斜視図である。

【図2】本発明の半導体パッケージの製造プロセスの一例において、上記BGA用中継基板のチップ載置面側の導体膜のパターニング状態を示す斜視図である。

【図3】上記BGA用中継基板の基板実装面側の導体膜のパターニング状態を示す斜視図である。

【図4】上記BGA用中継基板の両面にソルダーレジスト層を形成した状態を示す斜視図である。

【図5】電極配列面にチップ上導体膜を設けた半導体チップをグランドプレーン上に実装した状態を示す斜視図である。

【図6】上記半導体チップのチップ上電極の一部とチップ上導体膜とをワイヤボンディングした状態を示す斜視図である。

【図7】上記チップ上導体膜と電源プレーンとをワイヤボンディングした状態を示す斜視図である。

【図8】上記チップ上電極の他の一部とグランドプレーンとをワイヤボンディングした状態を示す斜視図である。

【図9】残りのチップ上電極と一般信号線とをワイヤボンディングした状態を示す斜視図である。

【図10】上記BGA用中継基板の基板実装面にハンダボールを形成した状態を示す斜視図である。

【図11】チップ上導体膜をグランド接続に用いる例を示す半導体チップの上面図である。

【図12】2分割したチップ上導体膜を2系統の電源接続に用いる例を示す半導体チップの上面図である。

【図13】2分割したチップ上導体膜をグランド接続と電源接続に用いる例を示す半導体チップの上面図である。

【図14】本発明の半導体パッケージの製造プロセスの他の例において、BGA用中継基板のチップ載置面側の導体膜をパターニングし、チップ実装域の各辺近傍から基板の四隅へかけて延在される電源プレーンを形成した状態を示す斜視図である。

【図15】図14のBGA用中継基板の両面にソルダーレジスト層を形成した状態を示す斜視図である。

【図16】図15のBGA用中継基板に半導体チップを実装し、ワイヤボンディングを行った状態を示す斜視図である。

【図17】本発明の半導体パッケージの製造プロセスのさらに他の例において、BGA用中継基板のチップ載置面側の導体膜をパターニングし、チップ実装域の各辺近傍から基板の各辺中央へかけて延在される電源プレーンを形成した状態を示す斜視図である。

【図18】図17のBGA用中継基板の両面にソルダーレジスト層を形成した状態を示す斜視図である。

【図19】図18のBGA用中継基板に半導体チップを実装し、ワイヤボンディングを行った状態を示す斜視図である。

【図20】従来のBGA用中継基板上で半導体チップがワイヤボンディングされた状態を示す上面図である。

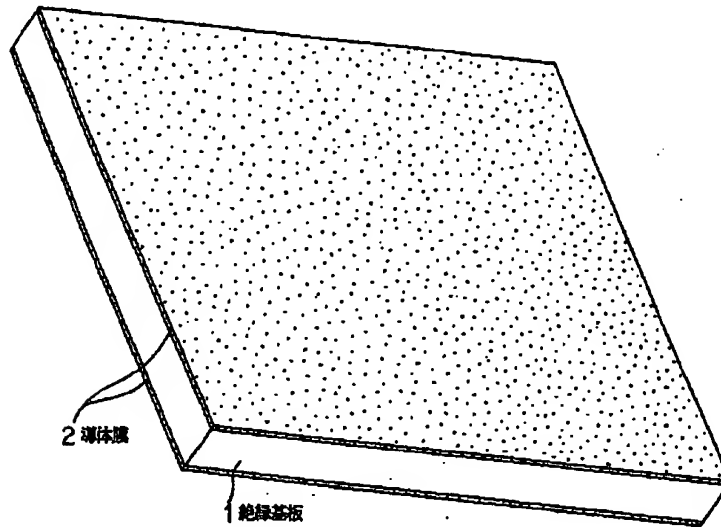
【図21】CMOS回路において電源部とグランド部の寄生インダクタンスにより貫通電流が流れる現象を説明する等価回路図である。

【図22】CMOS回路の入力電圧、貫通電流、出力電圧の経時変動を示すグラフである。

【符号の説明】

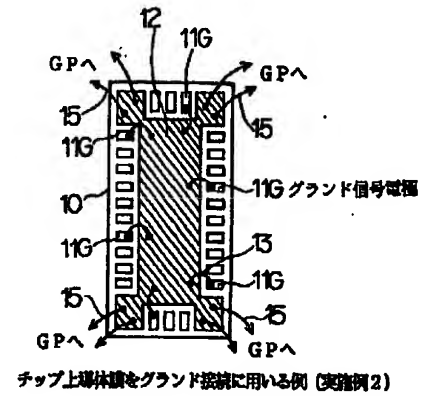
1, 21, 31…絶縁基板 2…導体膜 2p, 22p, 32p…電源プレーン  
2g<sub>1</sub>, 2g<sub>2</sub>, 22g, 32g…グランドプレーン  
2s<sub>1</sub>, 2s<sub>2</sub>, 22s, 32s…一般信号線 3, 23, 33…貫通ビアホール 4, 24, 34…ソルダーレジスト層 4p, 24p, 34p…電源配線窓 4g, 24g, 34g…グランド配線窓 4s, 24s, 34s…一般配線窓 4c, 24c, 34c…チップ実装窓 10, 25, 35…半導体チップ 11, 26, 36…チップ上電極 11<sub>p</sub>…電源信号電極 11<sub>p1</sub>…第1電源信号電極 11<sub>p2</sub>…第2電源信号電極 11<sub>g</sub>…グランド信号電極 12…チップ上導体膜 13…チップ/導体膜間ワイヤ 14…導体膜/PP間ワイヤ 15…チップ/GP間ワイヤ 16…チップ/一般信号線間ワイヤ 17…モールド樹脂層 18…ハンダボール 27, 37…電源接続ワイヤ 28, 38…グランド接続ワイヤ 29, 39…一般信号線接続ワイヤ 121…第1チップ上導体膜 122…第2チップ上導体膜

【図1】

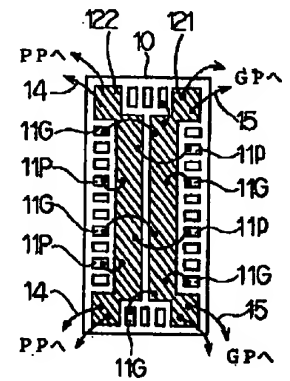


加工前のBGA用中継基板 (実施例1)

【図11】

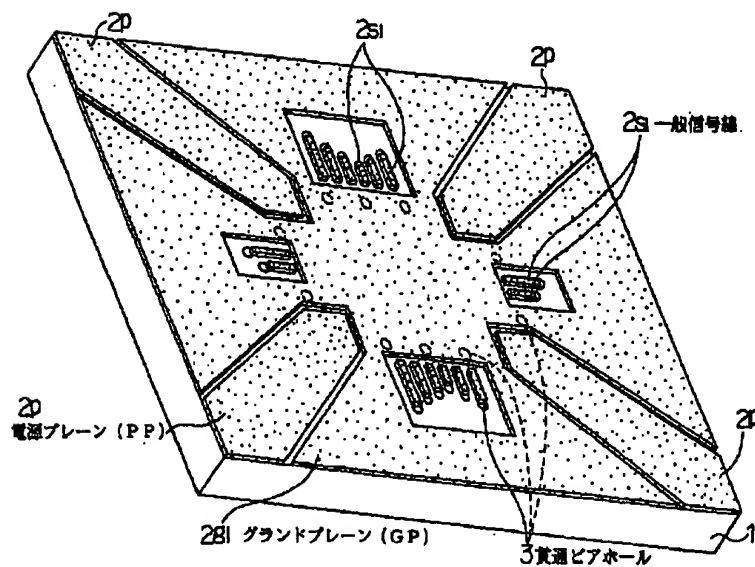


【図13】



二分割したチップ上導体膜をグランド接続と電源接続に用いる例 (実施例4)

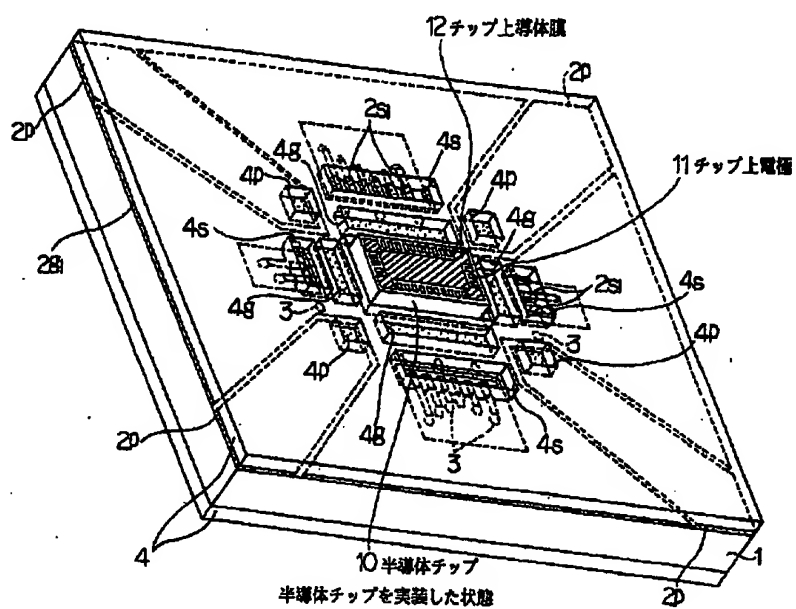
【図2】



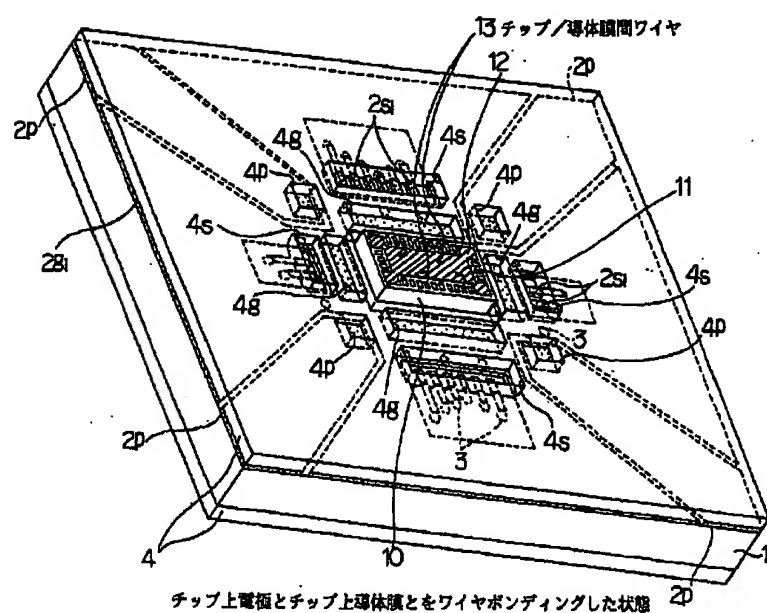
導体膜をパターニングした状態 (チップ載置面)



【図5】



【図6】



[illegible]

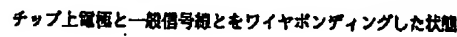
This diagram shows an exploded perspective view of a semiconductor package assembly. The components are labeled as follows:

- 1 絶縁基板 (Insulating substrate)
- 20 電源プレーン (PP) (Power plane (PP))
- 28 グランドプレーン (GP) (Ground plane (GP))
- 4g グランド配線窓 (Ground wiring window)
- 4 ソルダーレジスト層 (Solder resist layer)
- 10 半導体チップ (Semiconductor chip)
- 12 チップ上導体膜 (Conductor film on chip)
- 14 導体膜 / PP 間ワイヤ (Conductor film / PP interlayer wiring)
- 6 チップ / GP 間ワイヤ (Chip / GP interlayer wiring)
- 13 チップ / 導体膜間ワイヤ (Chip / conductor film interlayer wiring)
- 11 チップ上電極 (Chip top electrode)
- 4s 一般配線窓 (General wiring window)
- 2a 一般信号線 (General signal line)
- 3 貫通ビアホール (Through via hole)
- 4p 電源配線窓 (Power wiring window)

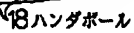
チップ上電極とグラウンドプレーン (GP) とをワイヤボンディングした状態 (State of wire bonding between chip top electrode and ground plane (GP))



【図9】



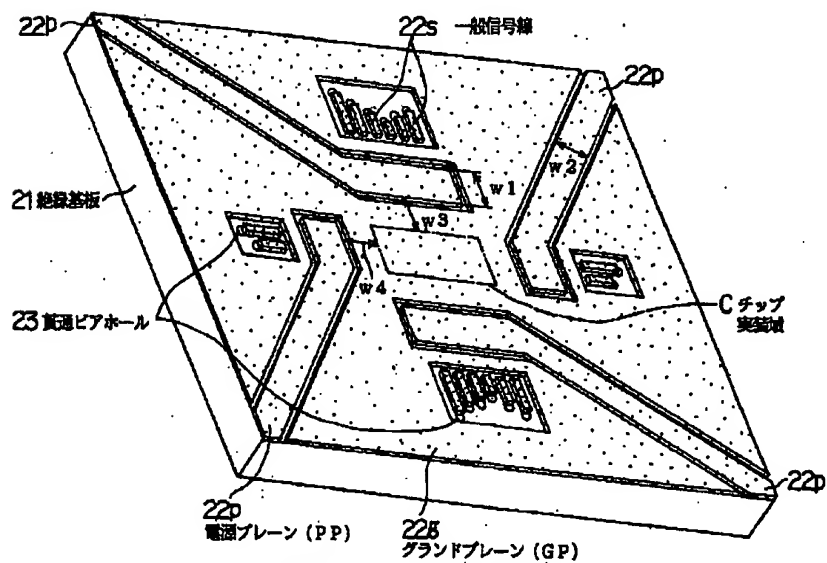
【図10】



ハンダボールを形成した状態（基板裏装面）

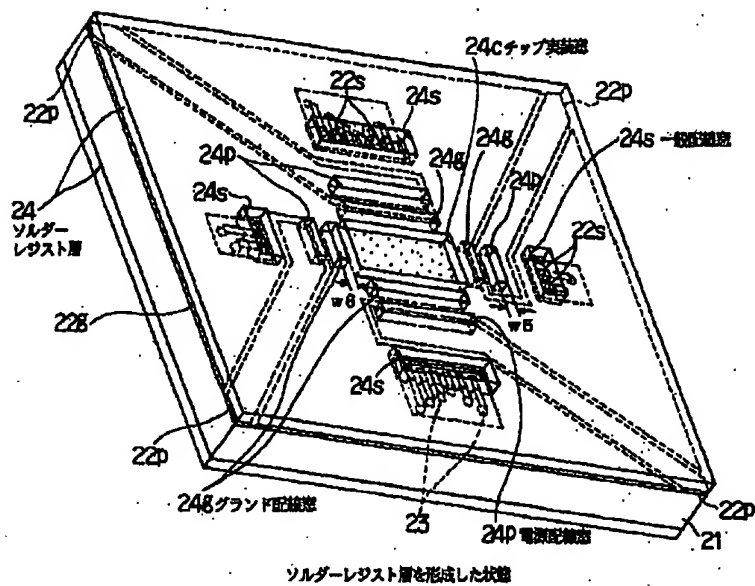
Fig. 1 is a cross-sectional view of a semiconductor device. It shows a central vertical channel with a hatched substrate. On either side of the channel are two sets of stacked rectangular layers. The left set is labeled "11P2" and "122 第2チップ上導体膜". The right set is labeled "11P1 第1電源信号電極" and "121 第1チップ上導体膜". Arrows at the top and bottom point to "PP2へ" and "PP1へ" respectively. Various layers are numbered 10, 13, 14, and 15.

【図14】

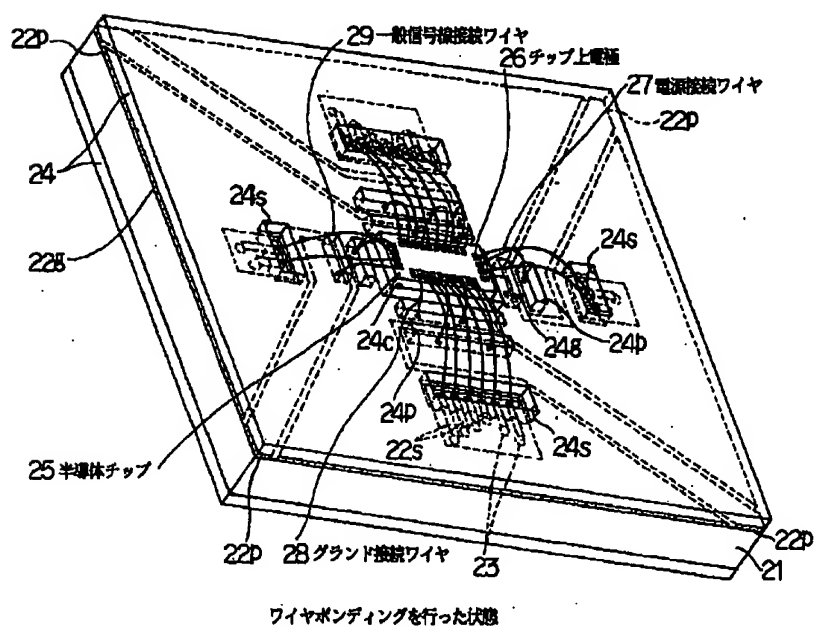


導体膜をパターニングした状態（実施例5）

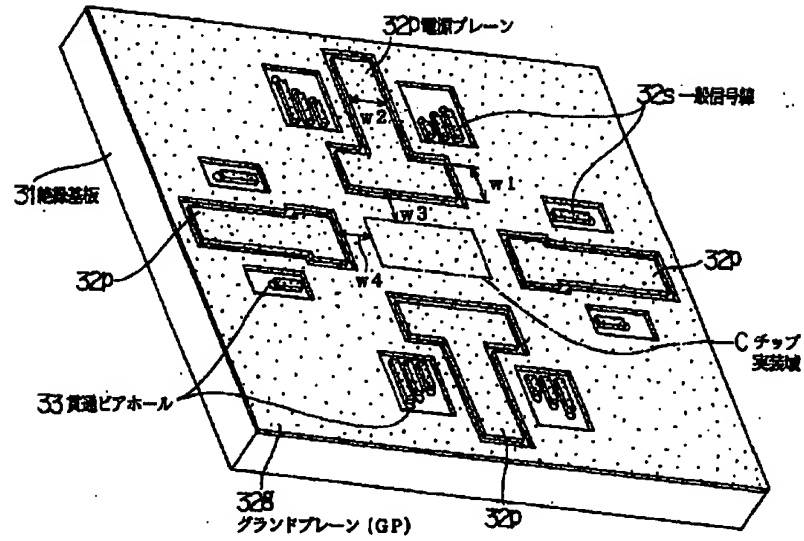
【図15】



【図16】

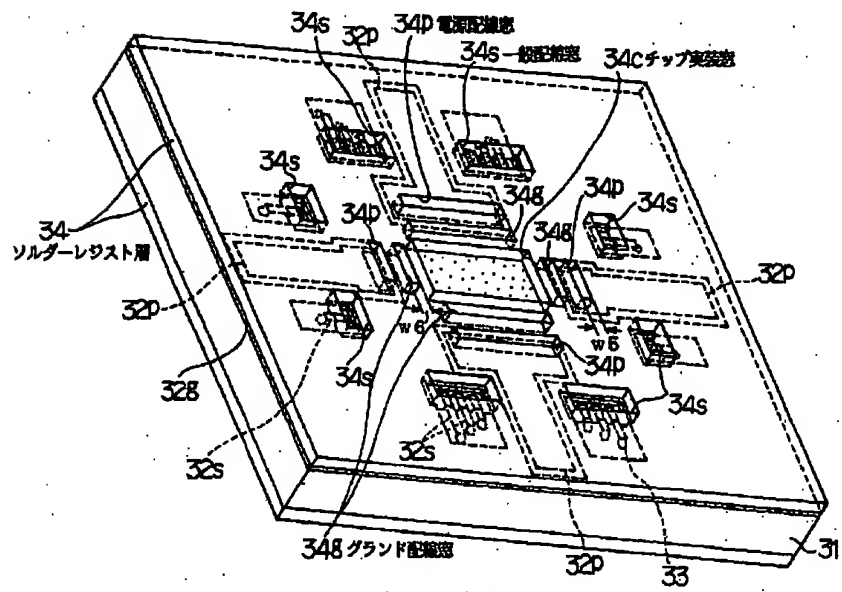


【図17】



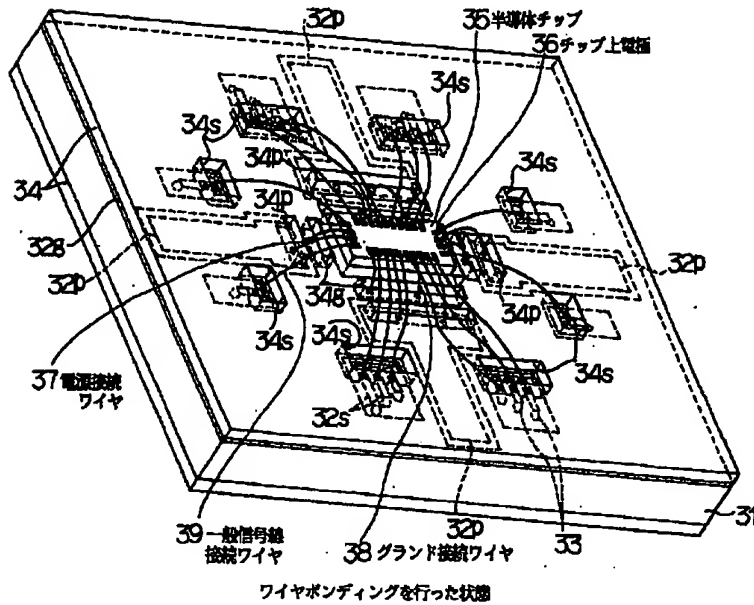
導電膜をパターンニングした状態 (実施例8)

【図18】

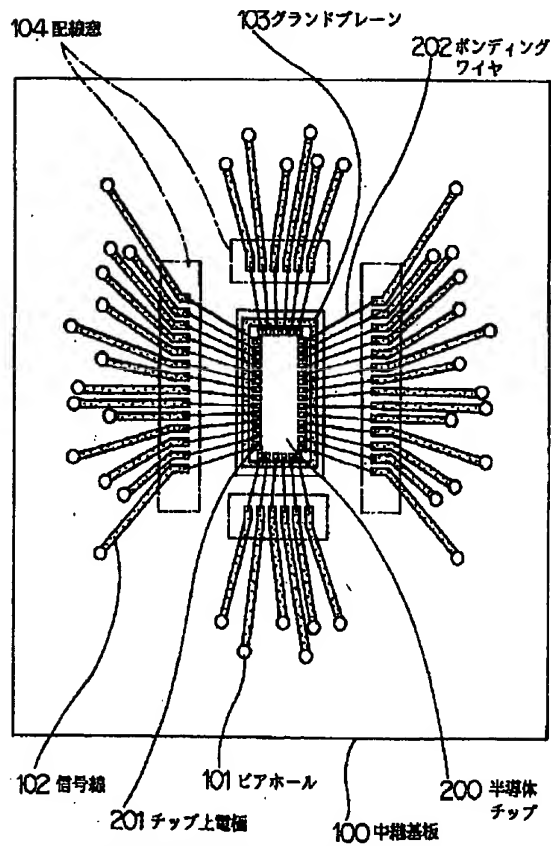


ソルダーレジスト層を形成した状態

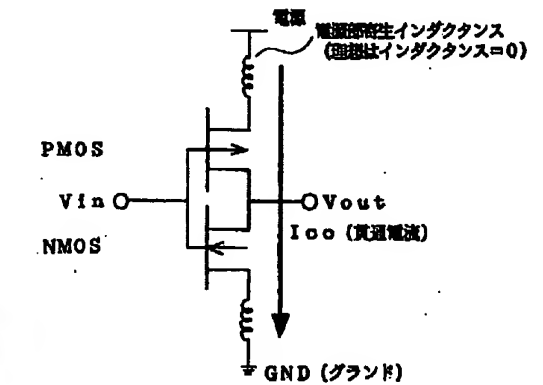
【図19】



【図20】



【図21】



GND部寄生インダクタンス  
(理想はインダクタンス=0)

寄生インダクタンスの存在するCMOS等価回路

【図22】

